



特許庁

特

許

第

6

(特許法第38条第1項第1号に該当する特許出願)

昭和50年1月24日

特許出願番号

発明の名称

絶縁ゲート型電界効果トランジスタ
絶縁ゲートの電圧に設定された発明の図 2

発明者

東京都目黒区山王1丁目260番地
株式会社日立製作所中央研究所内

Yoshida Iro

特許出願人

東京都目黒区山王の内一丁目5番1号

日立製作所

代理人

東京都目黒区山王の内一丁目5番1号

日立製作所

〒100-270-2111 (大塚)

(7237) 有馬士 山田 利 幸

50 009713

⑨ 日本国特許庁

公開特許公報

①特開昭 51 85381

②公開日 昭51. (1976) 7.26

③特願昭 50 P71.

④出願日 昭50. (1975) 1.29

審査請求 行

290

庁内整理番号

6426 47

⑤日本分類

PP4/EJ

⑥Int. Cl?

H01L 2P77

H01L 2P06

明 細 書

発明の名称 絶縁ゲート型電界効果トランジスタ

特許請求の範囲

1. 第1導電型の半導体上に、第2導電型の基層領域が形成され、該基層上に、互いに離れて形成された第1導電型のソース・ドレイン領域を有し、該ソース・ドレイン領域間に、絶縁層を介してゲート電極を有し、上記ドレイン電極が基層から取り出される構造を有する絶縁ゲート型電界効果トランジスタにおいて、上記第1導電型の基層の一部がドレイン領域として、基層上に形成する絶縁ゲート型電界効果トランジスタ。
2. 上記第2導電型の基層領域と上記ソース領域とが、オーミック接触により接続されている構造を有する特許請求の範囲第1項記載の絶縁ゲート型電界効果トランジスタ。

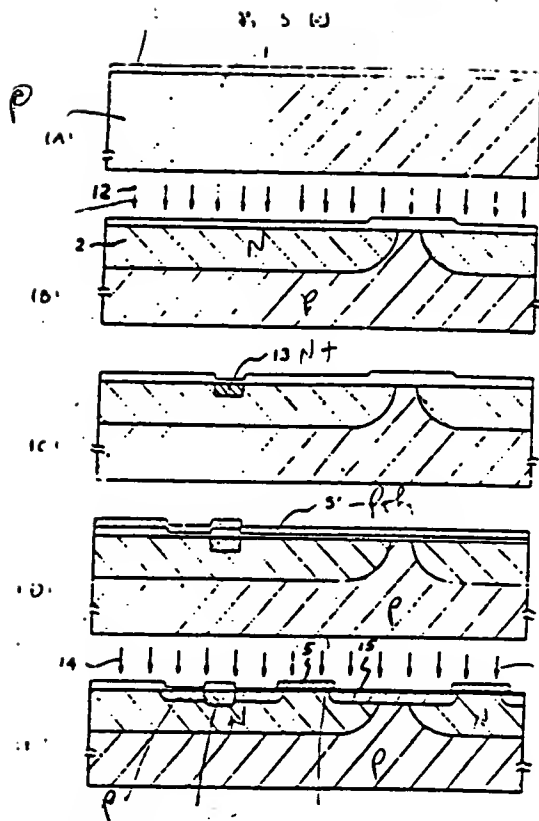
発明の効果を説明

この発明は、高出力の絶縁ゲート型電界効果トランジスタ

ンジスタ(以下MOSFETと記す)に関するものである。

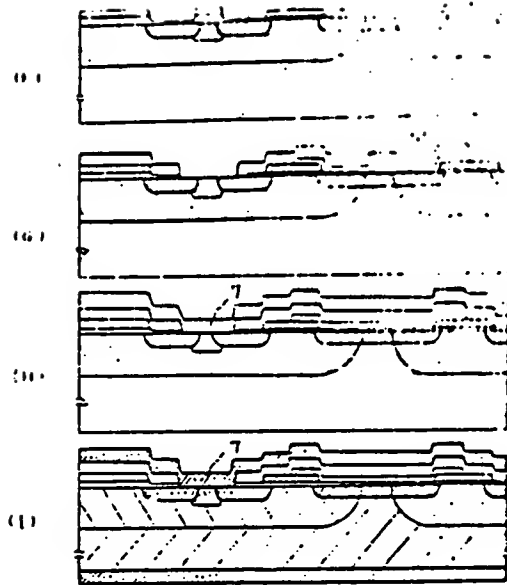
従来、MOSFETの出力、とりわけ、電流を増加させるために、第1図の構造が採用されている。この構造の特徴は、ドレインの電極取り出しが、ドレイン基板1を介して基層より行なわれていることであり電流が基層から基層へと流れて流れることである。その結果、同一基層上、ソース・ドレイン電極が配置されている通常のMOSFETに比べ、電流の取り出しが多めで、同一チップサイズに於いては、有効なチャネル面積(幅)が大きくなり、大電流の素子として通している。さらに、改良された構造として、第2図に示すごとく、チャネル基板とドレイン基板1との間に、ドレインと同一導電型の低抵抗不純物領域11を設けることが提案された。これは、ドレイン領域3の電流が基層などにより限定された場合、ソースとドレイン基板1とのペンタスムー構造を向上させるために有効である。しかし、上記構造のMOSFETでは、2.3とよび11

161020-4405940



右側面図の目録

10	10
10	10
10	10
10	10



手続補正書 (自記)

昭和50年 8月13日

特許庁長官 齊藤英雄 殿

1. 事件の表示 昭和50年特許第9713号
2. 発明の名称 絶縁ゲート型電界効果トランジスタ
3. 補正をする者

事件との関係 特許出願人

名称 (510) 株式会社 日立製作所

4. 代理人

住所 東京都千代田区丸の内三丁目4番1号
丸ビル6611K 1501 電話 214-8521
氏名 (6835) 代理人 中 川 健 之 郎

5. 補正により増加する発明の数 1
6. 補正の対象 明細書全文および図面。
7. 補正の内容 (1) 明細書全文を補正明細書の如く補正する。
(2) 図面第5図を添付図面の如く補正する。
(3) 図面第6図を追加する。

1. 発明の名称 絶縁ゲート型電界効果トランジスタ

2. 発明の要約

1. 第1導電型の半導体領域が設けられ、第2導電型の半導体領域の内外に絶縁の半導体層が設けられ、この半導体層の表面に形成された第1導電型のソース領域(またはドレイン領域)およびドレイン領域(またはソース領域)を有し、且ソース領域とドレイン領域との間の上記第2導電型の半導体領域表面に絶縁層を介してゲート電極が設けられ、上記ドレイン領域(またはソース領域)の領域を、上記絶縁層の表面から取り出してなる絶縁ゲート型電界効果トランジスタ。

2. 特許請求の範囲第1項記載の絶縁ゲート型電界効果トランジスタにおいて、上記ソース領域(またはドレイン領域)内に該領域表面から上記第2導電型の半導体領域に達する第2導電型の半導体層が設けられている。

この発明の特徵は、ドレイン領域3の電極取り出しが、ドレイン電極1を介して、その表面から行なわれていることであり、電極が表面の表面から表面へと渡ることである。その結果、表面の同一面上に、ソース電極およびドレイン電極が形成されている通常のMOSFETに比べ、電極の取り出しが容易で、同一チップサイズにおいては、有効なチャネル面積(2)が大きくなり、大電流の出力として通している。

さらに、改良された構造の素子として、第2導電型を示すように、第1導電型に示した素子のチャネル層とドレイン電極1との間に、ドレイン電極1と同一導電型の電極層不純物層1を設けるものが提案された。これは、ドレイン領域3の表面が、電極層などをより限定された場合、ソース領域4とドレイン電極1とのバリエーション耐圧を向上させるために有効である。

しかし、上記のようを構造のMOSFETでは、1、3および11の領域は、通常エピタキヤル

構造であり、この構造は、第1導電型の半導体領域が設けられ、第2導電型の半導体領域の内外に絶縁の半導体層が設けられ、この半導体層の表面に形成された第1導電型のソース領域(またはドレイン領域)およびドレイン領域(またはソース領域)を有し、且ソース領域とドレイン領域との間の上記第2導電型の半導体領域表面に絶縁層を介してゲート電極が設けられ、上記ドレイン領域(またはソース領域)の領域を、上記絶縁層の表面から取り出してなる絶縁ゲート型電界効果トランジスタ。

発明の利便を説明

この発明は、発明の利便を説明するため、図1に示すように、MOSFETと記すに値する。

図1は、MOSFETの構造を示す。この構造は、第1導電型の半導体領域が設けられ、第2導電型の半導体領域の内外に絶縁の半導体層が設けられ、この半導体層の表面に形成された第1導電型のソース領域(またはドレイン領域)およびドレイン領域(またはソース領域)を有し、且ソース領域とドレイン領域との間の上記第2導電型の半導体領域表面に絶縁層を介してゲート電極が設けられ、上記ドレイン領域(またはソース領域)の領域を、上記絶縁層の表面から取り出してなる絶縁ゲート型電界効果トランジスタ。

図1に示すように、第1導電型の半導体領域が設けられ、第2導電型の半導体領域の内外に絶縁の半導体層が設けられ、この半導体層の表面に形成された第1導電型のソース領域(またはドレイン領域)およびドレイン領域(またはソース領域)を有し、且ソース領域とドレイン領域との間の上記第2導電型の半導体領域表面に絶縁層を介してゲート電極が設けられ、上記ドレイン領域(またはソース領域)の領域を、上記絶縁層の表面から取り出してなる絶縁ゲート型電界効果トランジスタ。

この発明の利便は、上記のようを構造のMOSFETと記すに値することであり、耐圧多量りの良好なMOSFETを提案することである。

上記の利便を達成するために、チャネル領域がイオン打込み、もしくは拡散によってドレイン電極の表面近接に形成され、かつ該電極の一部がドレイン領域として該電極表面まで延びて存在するMOSFETを提案する。

0753017-00000001

•

11

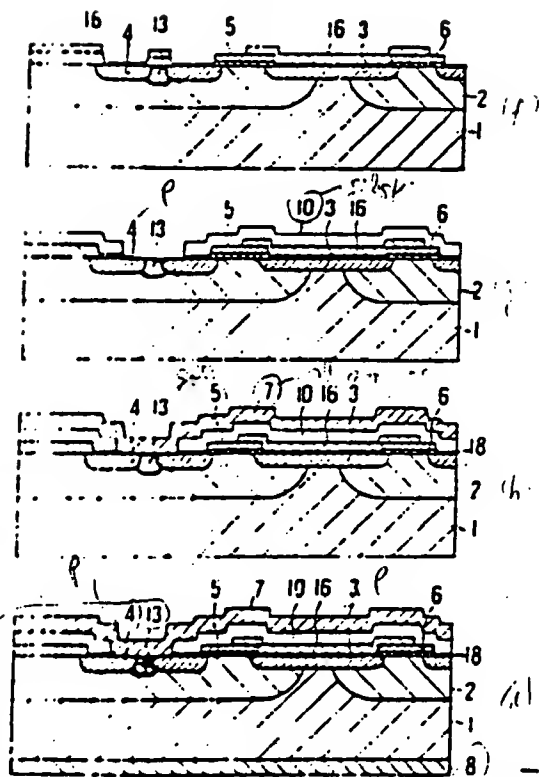
18

-473-

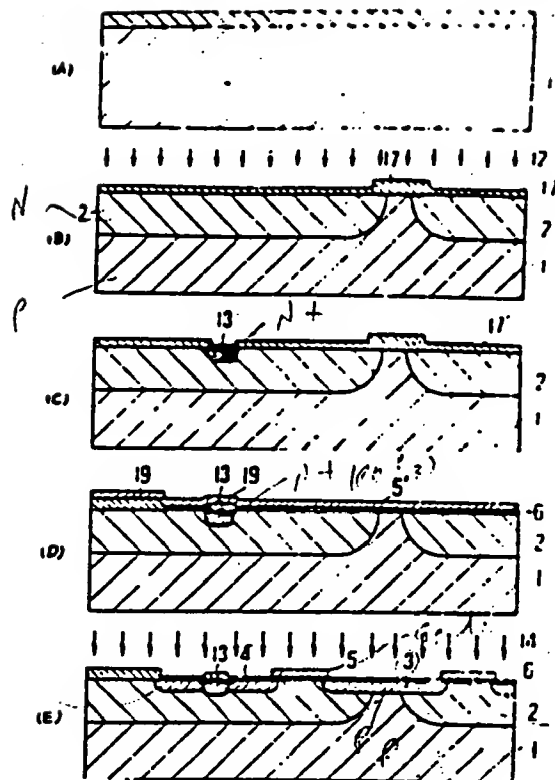
- 3 : ドレーン領域
- 4 : ノーズ領域
- 5 : ゲート電極
- 6 : ゲート用シリコン酸化膜
- 7, 8, 9 : 吸出し電極
- 10 : 保護絶縁膜
- 11 : 低不純物成長層
- 12, 14 : イオンビーム
- 13 : 高不純物成長領域
- 16, 17, 18 : シリコン酸化膜

現代成人井理士 中村 興之 著

4 5 14



4 5 14



3 6 14

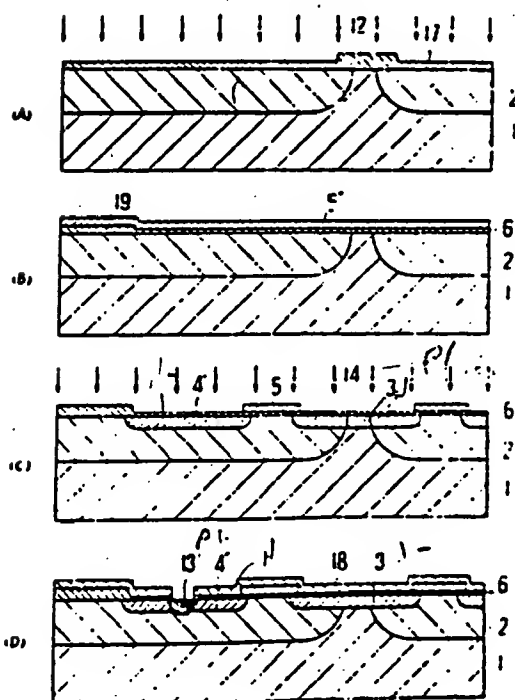


图 6

